

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

9112479

Basic Patent (No,Kind,Date): JP 2014533 A2 19900118 <No. of Patents: 002>

MANUFACTURE OF THIN-FILM ACTIVE ELEMENT; LIQUID-CRYSTAL ELEMENT
(English)

Patent Assignee: ASAHI GLASS CO LTD

Author (Inventor): MASUSHIGE KUNIO; YUKI MASAKI

IPC: *H01L-021/336; H01L-021/302; H01L-027/12; H01L-029/784

Derwent WPI Acc No: *C 90-062505; C 90-062505

JAPIO Reference No: *140156E000010; 140156E000010

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2014533	A2	19900118	JP 88162629	A	19880701 (BASIC)
JP 2638942	B2	19970806	JP 88162629	A	19880701

Priority Data (No,Kind,Date):

JP 88162629 A 19880701

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03039033 **Image available**

MANUFACTURE OF THIN-FILM ACTIVE ELEMENT; LIQUID-CRYSTAL ELEMENT

PUB. NO.: 02-014533 [JP 2014533 A]

PUBLISHED: January 18, 1990 (19900118)

INVENTOR(s): MASUSHIGE KUNIO

YUKI MASAKI

APPLICANT(s): ASAHI GLASS CO LTD [000004] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 63-162629 [JP 88162629]

FILED: July 01, 1988 (19880701)

INTL CLASS: [5] H01L-021/336; H01L-021/302; H01L-027/12; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL: Section: E, Section No. 908, Vol. 14, No. 156, Pg. 10, March 26, 1990 (19900326)

ABSTRACT

PURPOSE: To reduce an incidence of a reject to be caused by an irregularity in an etching amount by a method wherein a pattern is formed also in an amorphous layer during a patterning operation of a polycrystalline semiconductor thin film and this amorphous layer is used as a reference during an etching operation of the polycrystalline semiconductor thin film.

CONSTITUTION: A passivating film 2 and an amorphous semiconductor layer 3 are laminated on a substrate 1; they are irradiated with a laser and are made polycrystalline; when a polycrystalline semiconductor layer 4 is patterned, a pattern is formed simultaneously also in one part of the amorphous semiconductor layer 3 in an arbitrary position which has not been irradiated with the laser. A low-resistance semiconductor layer 5 and an electrode material are laminated on them; in addition, a source electrode and a drain electrode 6 are formed; an unnecessary part of the low-resistance semiconductor layer is etched; in addition, a film thickness of the polycrystalline semiconductor layer is reduced. During this operation; the pattern of the amorphous semiconductor layer 3 is used as a reference for an etching operation. Since an etching rate of an amorphous semiconductor is larger; it is possible to leave the polycrystalline semiconductor layer 4 when the etching operation of an amorphous part is finished. In addition, a gate insulating film 7 is deposited; a gate electrode 8 is formed.

⑪ 公開特許公報 (A) 平2-14533

⑫ Int. Cl. 5

H 01 L 21/336
21/302
27/12
29/784

識別記号

序内整理番号

⑬ 公開 平成2年(1990)1月18日

N

8223-5F
7514-5F8624-5F H 01 L 29/78 311 Z
審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 薄膜能動素子の製造方法及び液晶素子

⑮ 特願 昭63-162629

⑯ 出願 昭63(1988)7月1日

⑰ 発明者 増茂 邦雄 神奈川県横浜市鶴見区北寺尾7-21

⑱ 発明者 結城 正記 神奈川県秦野市南矢名1668-6

⑲ 出願人 旭硝子株式会社 東京都千代田区丸の内2丁目1番2号

⑳ 代理人 弁理士 内田 明 外3名

明細書

[従来の技術]

1. 発明の名称

薄膜能動素子の製造方法及び液晶素子

2. 特許請求の範囲

(1) 非晶質半導体層にレーザー光を照射して多結晶半導体層を形成しバターン化したのち、該多結晶半導体層の膜厚をエッティングにより減する工程を含む薄膜能動素子の製造方法において、多結晶半導体薄膜バターン化時に非晶質層にもバターンを形成し、該バターンとして残された非晶質層を多結晶半導体薄膜エッティング時の目安として用いることを特徴とする薄膜能動素子の製造方法。

(2) 第1項記載の薄膜能動素子を有する液晶素子。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は薄膜能動素子の製造方法及び液晶素子に関するものである。

近年平面ディスプレイ等の画像表示素子への応用を目的とした薄膜能動素子の開発が活発に行われている。多結晶半導体を用いた薄膜能動素子は非晶質半導体薄膜を用いた能動素子と比べ高性能、高信頼性等の長所があるが、薄膜に高温を要し、ガラス基板が使用できず、石英基板等を使用していたため大面积化できないという短所がある。そこで、高温プロセスを経ずに多結晶半導体薄膜を得ることができるレーザー光照射による非晶質半導体薄膜の結晶化技術の研究・応用が盛んに行われている。

第3図は従来のコブレナー型 TFTの断面図である。

第3図を参照しながら従来のレーザー多結晶化半導体薄膜能動素子の製造方法をコブレナー型薄膜トランジスタを例にとって説明する。基板21上にバッシベーション膜22、非晶質半導体層を積層し、レーザー光照射結晶化を行いバターニングし多結晶半導体層24を形成、その上

に低抵抗半導体層25、ソース電極、ドレイン電極26を形成する。ここで多結晶半導体層24のチャンネル部30をエッティングし膜厚を減少させる。薄膜トランジスタ(TFT)の半導体層を薄化することによってトランジスタ特性が向上することは一般に知られており、低抵抗半導体層25製膜時にプラズマによりダメージを受けた半導体層上層を除去する意味からも、ここでチャンネル部30をエッティング薄化することは重要な工程である。さらにゲート絶縁膜27を堆積し、その上にゲート電極28を形成、ゲート絶縁膜にコンタクトホール23をあけ、画素電極29を形成する。

[発明の解決しようとする課題]

前述のようにチャンネル部30をエッティング薄化する工程は重要な工程であるが、一方きわめてむずかしく不安定な工程でもある。従来このエッティングは時間管理で行っていたが、この方法ではガス圧力の微妙な変化等のエッティング条件によってエッティング速度が変化するため、同

非晶質半導体層、4は多結晶半導体層、5は低抵抗半導体層、6はソース電極、ドレイン電極、7はゲート絶縁膜、8はゲート電極、9は画素電極、10はコンタクトホールである。

本発明に係る薄膜能動素子は、第1図の(a)～(d)の手順で製造される。第2図は本発明にかかる薄膜能動素子が形成されている平面ディスプレイの画面の平面図である。第2図において15は薄膜能動素子形成領域である。製造手順において、第2図の(a)は第1図の(b)に、第2図の(b)は第1図の(c)に対応する。以下、第1図、第2図に従って説明する。

まず、ガラス、セラミック、プラスチック等の基板1上にSiO₂、SiON等のバッシャーベーション膜2、Si、Ge等の非晶質半導体層3を積層し必要部分にレーザー照射を行い多結晶化する(第1図(a))多結晶半導体層4をフォトリソグラフィーによりパターン化する際同時に基板の周辺部等レーザー照射を受けていない任意の位置に非晶質半導体層3の一部分にもパターンを

一時間でのエッティング量は必ずしも一定でなく、エッティング量にしばしば過不足を生じ、表示画面に影響を及ぼすという欠点があった。

[課題を解決するための手段]

(1) 構成の表示

本発明は前述の課題を解決すべくなされたものであり、非晶質半導体層にレーザー光を照射して多結晶半導体層を形成しバターン化したのち、該多結晶半導体層の膜厚をエッティングにより減する工程を含む薄膜能動素子の製造方法において、多結晶半導体薄膜バターン化時に非晶質層にもバターンを形成し、該バターンとして残された非晶質層を多結晶半導体薄膜エッティング時の目安として用いることを特徴とする薄膜能動素子の製造方法を提供するものである。

(2) 構成の詳細説明

以下本発明を図面に従って詳細に説明する。第1図は本発明にかかるコブレナーラー型TFTの製造の手順を示す断面図である。第1図において、1は基板、2はバッシャーベーション膜、3は

形成する。多結晶半導体層4と該バターンとして残された非晶質半導体層3の上に低抵抗半導体層5、電極材料を積層し、更にソース電極、ドレイン電極6を形成し、これをマスクに低抵抗半導体層の不要部分をエッティングする。第1図の(b)では、これらの低抵抗半導体層等をエッティングした後、非晶質半導体層3のみが残っている。さらにひき続いてエッティングを行い多結晶半導体層の膜厚を減する(第1図(c))。このとき、非晶質半導体層3のバターンをエッティングの目安として用いることができる。通常非晶質半導体は多結晶半導体よりエッティング速度が大きいので、非晶質部分のバターンのエッティング終点でエッティングを終了させれば、エッティング速度の差に相当する分の多結晶半導体層4を残すことができる。また、目安とする非晶質半導体層3のバターンを小バターンの集合とすることにより、非晶質部分のエッティング終点を早め、多結晶半導体層4の残り膜厚を大きくすることができる。

さらにゲート絶縁膜7を堆積しゲート電極8を形成する。その後、ゲート絶縁膜7にコンタクトホール10をあけ、画素電極9を形成する。もっとも、この画素電極9はドレイン電極形成前に形成するようにすることができる。

この外、遮光層、カラーフィルター、キャバシタ等公知の構造を形成してもよい。以上、コブレナー型TFTについて説明したが、本発明は逆スタガー型TFT等の半導体層パターン形成後に半導体層の膜厚を減ずるような製造工程を含む薄膜能動素子ならどんなものにも同様に適用できる。

本発明では、エッティング材は半導体の材質によって適宜選択すればよく、その半導体の上記の多結晶半導体層4のような多結晶半導体薄膜と上記の非晶質半導体層3のような非晶質半導体薄膜との間でそのエッティング速度に差があるもの、特にその差が大きいものを選択して使用すればよい。

本発明では半導体としてシリコンを使用する

レーザービームを基板に照射して非晶質シリコンの結晶化を行った。

結晶化は基板の移動とレーザービームの走査を連携して行い、位置定めの余裕をみるため多結晶半導体層のパターンとして必要な部分より大きめに結晶化した。多結晶半導体層のバターニングをフォトリソグラフィによって行った。この際基板周辺部の非晶質部分にも目視で十分エッティング終点が確認できる程度の大きさのパターンを形成した。続いて低抵抗半導体層としてリンドープアモルファスシリコン($n^+a\text{-Si}$)を100 nm プラズマCVD法により堆積し、その上にAlを500 nm 蒸着した。このAlをバターニングしてソース電極、ドレイン電極を形成した後、このAlをマスクに使用して $n^+a\text{-Si}$ のエッティングを行った。 $n^+a\text{-Si}$ のエッティング終点の後もエッティングを続け多結晶シリコンの膜厚を減少させた。この際非晶質シリコンのパターンのエッティング終点をもってエッティング終了とした。

ことが好ましく、エッティング材としては、CF₄、SF₆等のフッ素ラジカルを生ずる気体を用いてドライエッティングをすることが好ましい。

また、本発明でいう非晶質半導体層とは完全な非晶質構造を有するものだけではなく粒径が50 nm 未満の微細な結晶粒子が含まれるいわゆる微結晶半導体薄膜をも含むものである。本発明の非晶質半導体層としては非晶質シリコン膜が最適なものであるが非晶質ゲルマニウム等の他の非晶質半導体薄膜にも適用できる。また、本発明に係る薄膜能動素子を有する基板と対向電極を有する基板との間に液晶を封入して液晶素子をつくることができる。

【実施例】

以下、第1図、第2図を参照しながら本発明のコブレナー型TFTの実施例を示す。

ガラス基板上にプラズマCVD法により酸化シリコン 200 nm によるバッシベーション膜、その上に非晶質シリコン 300 nm による非晶質半導体層を積層した。次いでアルゴンイオン

さらに、ゲート絶縁膜としてSiON膜をプラズマCVD法によって250 nm 堆積し、その上にAlを600 nm 蒸着し、バターニングし、ゲート電極を形成した。次いで、ゲート絶縁膜にコンタクトホールをあけ、ITO($In_2O_3-SnO_2$) 100 nm による画素電極をリフトオフ法で形成した。この結果、多結晶半導体層のエッティング薄化工程における不良品の発生率を従来の約30%から5%以下に減少させることができた。

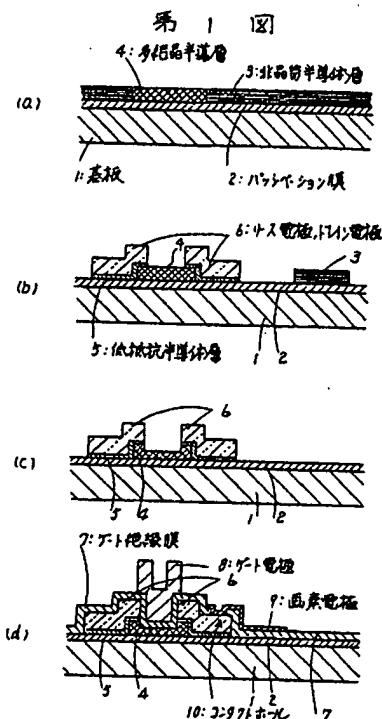
【発明の効果】

本発明は、多結晶半導体層の膜厚薄化工程のエッティング終点を決定する目安を与え、この工程を安定化することにより、エッティング量のばらつきによる不良品の発生率を低減するものである。本発明においては基板内に目安が作り込まれるため、特別にモニター用基板を用いることなくその場観察によりエッティング時間を管理することができ、エッティング条件の微妙な変化、半導体層の膜厚のロット間ばらつきにも対

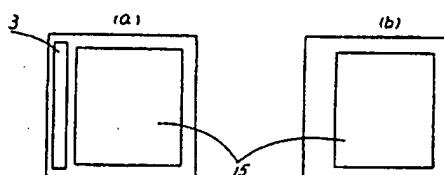
応できる。更に目安の非晶質部分のパターンを微細パターンの集合体とすることにより見かけ上エッティング終点が早まるため、多結晶半導体層の残り膜厚の微調整が可能であるという効果も認められる。

4. 図面の簡単な説明

第1図は本発明に係るコブレナー型TFTの製造の手順を示す断面図である。第2図は本発明に係るTFTが形成されている平面ディスプレイの平面図である。第3図は従来のコブレナー型TFTの断面図である。



第2図



第3図

